

公開実用 昭和59—

194783

AVAILABLE COPY

19 日本国特許庁 (JP)

21 実用新案出願公開

12 公開実用新案公報 (U)

昭59—194783

Int. Cl.³
G 09 F 9 30
G 02 F 1 23
G 09 G 3 36

識別記号

庁内整理番号
6615—5C
7448—2H
7436—5C

公開 昭和59年(1984)12月25日

審査請求 未請求

(全 頁)

液晶カラーディスプレイ装置

35号ソニー株式会社内

発考 案 者

大津孝二

出 願 昭58—89006

東京都品川区北品川6丁目7番

出 願 昭58(1983)5月10日

35号ソニー株式会社内

出 願 者 田根田光生

出 願 人

ソニー株式会社

東京都品川区北品川5丁目7番

東京都品川区北品川6丁目7番

35号ソニー株式会社内

35号

発考 案 者 田根田和

代 理 人

弁理士 伊藤貞

外1名

東京都品川区北品川6丁目7番



明 細 書

考案の名称 液晶カラーディスプレイ装置

実用新案登録請求の範囲

複数の画素と、各上記画素に対応してそれぞれビデオ信号を選択的に供給するためのスイッチング素子とを有する液晶カラーディスプレイ装置において、上記スイッチング素子の形成される半導体上に上記画素に対応する下側電極を配し、この下側電極の上に色選択用のフィルタを配置し、このフィルタ上に液晶を設け、この液晶の上面に設けられた上側電極と上記下側電極との間に上記ビデオ信号を印加するようにした液晶カラーディスプレイ装置。

考案の詳細な説明

産業上の利用分野

本考案は、液晶平面ディスプレイ装置を用いてカラー表示を行う装置に関する。

背景技術とその問題点

液晶平面ディスプレイ装置を用いてカラー表示を行う方法としては、従来第1図に示すように液

公開実用 昭和59—

194783



端の表面にモザイク状の色フィルタを貼付けることが考えられていた。図中(1)はシリコン、アモルファスシリコン等の基板、(2)は液晶、(3)は保護ガラス板、(4)は色フィルタである。ところがこの場合に、矢印のように外光が入射されると選択されていない部分のフィルタの色まで見えてしまい、色再現性が悪い。また液晶(2)の上に保護ガラス板(3)にて所定距離離間されて色フィルタ(4)が設けられるために、斜め方向から見たときに隣接画素との混色が生じやすく、これを避けるために画素ごとにマスクを設けると光の利用効率が悪化して明るい表示が得られず、また画素を小さくすることができないために解像度を高くすることができなくなる、などの欠点があった。

考案の目的

本考案はこのような点にかんがみ、簡単な構成で良好なカラー表示が行えるようにするものである。

考案の概要

本考案は、複数の画素と、各上記画素に対応し



てそれぞれビデオ信号を選択的に供給するための
スイッチング素子とを有する液晶カラーディスブ
レイ装置において、上記スイッチング素子の形成
される半導体上に上記画素に対応する下側電極を
配し、この下側電極の上に色選択用のフィルタを
配置し、このフィルタ上に液晶を設け、この液晶
の上面に設けられた上側電極と上記下側電極との
間に上記ビデオ信号を印加するようにした液晶カ
ラーディスプレイ装置であって、これによれば簡
単な構成で良好なカラー表示を行うことができる。
る。

実施例

第2図において、図は液晶平面ディスプレイ装
置の一部の断面図であって、図には3つの液晶セ
ル（画素）が示されている。

この図の1個の液晶セルにおいて、N形のサブ
ストレート（21）の上にP形のウェル（22）が形
成され、このPウェル（22）にN領域（23）、
（24）が設けられる。これらのPウェル（22）及
び各領域（23）、（24）の上にSiO₂層（25）が設

FROM:SEL

公開実用 昭和59—

194783

けられる。さらにN領域(23)の上の SiO_2 層(25)にスルーホールが設けられ、Y軸方向のラインレジスタを構成する導電層(26)が設けられる。またN領域(23)、(24)の間の SiO_2 層(25)にスイッチング素子 $M_{11} \sim M_{nn}$ の制御電極(ゲート)を構成する導電層(27)が設けられる。またN領域(24)の上の SiO_2 層(25)にスルーホールが設けられると共に、N領域(24)からPウェル(22)の上に導電層(28)が設けられる。これらの導電層(26)～(28)の上に SiO_2 層(29)が設けられる。さらに導電層(28)の上の SiO_2 層(29)にスルーホールが設けられ、画素電極(下側電極)(30)が設けられる。この画素電極(30)の上に直流カット層(31)が設けられる。

そしてこの直流カット層(31)の上に各画素ごとに色フィルタ(32R)、(32G)、(32B)が設けられる。この色フィルタ(32R)～(32B)の上に直流カット層(33)が設けられる。さらにこの直流カット層(33)の上に配向層(34)を介して液晶(35)が設けられ、その上に配向層(36)

FROM:SEL

を介して透明電極から成るターゲット電極（上側電極）（37）及び保護用のガラス板（38）が設けられる。

この装置において、導電層（26）に信号が供給され、導電層（27）が高電位になると、導電層（26）に供給された信号がN領域（23）、（24）を通じて導電層（28）に供給され、この導電層（28）とPウェル（22）との間で形成される容量成分に記憶される。そしてこの記憶された信号が画素電極（30）に供給され、ターゲット電極（37）との電位差に応じて液晶（35）の光透過率が変化される。

そして例えばGH形の液晶の場合に、色素として黒色を用いることにより、液晶は信号に応じて黒から透明までに変化し、各画素は黒とフィルタ（32R）～（32B）の色を中間調をもて表示することになる。なお検光用の偏光板は図示せずもガラス板（38）と観察者の目との間に設けられる。

さらに第3図は回路図であって、入力端子（11R）、（11G）、（11B）にはそれぞれ赤（R）、緑

FROM:SEL

公開実用 昭和59—

194783

(G)、青(B)の原色信号が供給される。これらの端子がそれぞれ例えばNチャンネルFETからなるスイッチング素子 M_R 、 M_G 、 M_B を通じて接続される。また3ビットのリングカウンタ(12)が設けられ、このカウンタ(12)に後述する画素クロック信号 Φ_{1H} 、 Φ_{2H} が供給され、このカウンタ(11)から3ビットを循環するパルス信号が取り出される。この各ビットの信号がそれぞれスイッチング素子 M_R 、 M_G 、 M_B の各制御端子に供給されて、各素子が順次繰り返しオンされる。従って各素子の出力側の接続点には、3つの原色信号が点順次で混合された信号が取り出される。

この信号がそれぞれ例えばNチャンネルFETからなるスイッチング素子 M_1 、 M_2 、 \dots 、 M_m を通じて垂直(Y軸)方向の導電層(26)に相当するライン L_1 、 L_2 、 \dots 、 L_m に供給される。なお m は水平(X軸)方向の画素数に相当する数である。さらに m 段のシストレジスタ(13)が設けられ、このシストレジスタ(13)に水平周波数

の m 倍の垂直クロック信号 ϕ_{1H} 、 ϕ_{2H} が供給され、このシフトレジスタ (13) の各出力端子からのクロック信号 ϕ_{1H} 、 ϕ_{2H} によって順次走査される駆動パルス信号 ϕ_{H1} 、 ϕ_{H2} 、 \dots 、 ϕ_{Hn} がスイッチング素子 $M_1 \sim M_n$ の各制御端子に供給される。

また各ライン $L_1 \sim L_n$ にそれぞれ例えば N チャンネル FET からなる N 領域 (23)、(24) に相当するスイッチング素子 M_{11} 、 M_{21} 、 \dots 、 M_{n1} 、 M_{12} 、 M_{22} 、 \dots 、 M_{n2} 、 \dots 、 M_{1n} 、 M_{2n} 、 \dots 、 M_{nn} の一端 (N 領域 (23)) が接続される。なお n は水平走査線数に相当する数である。このスイッチング素子 $M_{11} \sim M_{nn}$ の他端 (N 領域 (24)) がそれぞれ垂直電極 (30) ~ ターゲット電極 (37) から成る液晶セル C_{11} 、 C_{21} 、 \dots 、 C_{nn} を通じてターゲット端子 (14) に接続される。

さらに n 段のシフトレジスタ (15) が設けられ、このシフトレジスタ (15) に水平周波数のクロック信号 ϕ_{1V} 、 ϕ_{2V} が供給され、このシフトレジスタ (15) の各出力端子からのクロック信号 ϕ_{1V} 、 ϕ_{2V} によって順次走査される駆動パルス信号 ϕ_{V1} 、

FROM:SEL

公開実用 昭和59—

194783

$\phi_{v2} \cdots \phi_{vn}$ が、スイッチング素子 $M_{i1} \sim M_{nm}$ のX軸方向の各列 ($M_{i1} \sim M_{in}$), ($M_{21} \sim M_{2n}$) \cdots ($M_{n1} \sim M_{nn}$) ごとの導電層 (27) に相当する制御端子にそれぞれ供給される。

すなわちこの回路において、リングカウンタ (12) 及びシフトレジスタ (13), (15) には第4図A, Bに示すようなクロック信号 ϕ_{1H} , ϕ_{2H} , ϕ_{1V} , ϕ_{2V} が供給される。そしてシフトレジスタ (13) からは第4図Cに示すように各画素期間ごとに $\phi_{H1} \sim \phi_{Hn}$ が出力され、シフトレジスタ (15) からは第4図Dに示すように1水平期間ごとに $\phi_{v1} \sim \phi_{vn}$ が出力される。さらに入力端子 (1R) ~ (1B) にはそれぞれ第4図Eに示すような信号が供給される。

そして ϕ_{v1} , ϕ_{H1} が出力されているときは、スイッチング素子 M_1 と $M_{i1} \sim M_{1n}$ がオンされ、入力端子 (1) $\rightarrow M_1 \rightarrow L_1 \rightarrow M_{i1} \rightarrow C_{i1} \rightarrow$ ターゲット端子 (14) の電流路が形成されて液晶セル C_{i1} に入力端子 (1R) ~ (1B) に供給された信号とターゲット端子 (14) との電位差が供給される。この

FROM:SEL



ためこのセルC₁₁の容量分に、1番目の画素の信号による電位差に相当する電荷がサンプルホールドされる。この電荷量に対応して液晶の光透過率に変化される。これと同様のことがセルC₁₂～C_{nm}について順次行われ、さらに次のフィールドの信号が供給された時点で各セルC₁₁～C_{nm}の電荷量が書き換えられる。

このようにして、映像信号の各画素に対応して液晶セルC₁₁～C_{nm}の光透過率に変化され、これが順次繰り返されてテレビ画像の表示が行われる。

そして映像信号が各画素ごとの点順次で各原色信号とされているので、各画素の色フィルタ（32R）～（32B）の色と原色信号とを同期させることにより、カラーの画像表示を行うことができる。

こうしてカラー画像表示が行われるわけであるが、この装置によれば非選択画素は色フィルタの上側に設けられた液晶が黒くなって遮断されるので、非選択の色が見えるなどして色再現性が悪くなるおそれはない。また液晶と色フィルタの位置が極めて近接しいるので画像と色フィルタにす

FROM:SEL

公開実用 昭和59—

194783

れが生じることがなく、混色や光利用効率の悪化、解像度の低下などのおそれがない。

さらに第5図は回路の他の例を示す。この例ではライン $L_1 \sim L_n$ が3本ごとに、色フィルタ(32R)～(32B)の各色ごとに接続され、この接続点に入力端子(1R)～(1B)がそれぞれ接続される。このようにしても上述の点順次と同じ作用効果となる。

なお上述の例において、色フィルタ(32R)～(32B)が設けられることによって液晶(35)にかかる実効電圧が低下する。すなわち液晶の容量成分を C_{LC} 、色フィルタの容量成分を C_F とすると、これらが直列接続されることにより、実効電圧 V' は入力電圧 V に対して

$$V' = \frac{C_{LC}}{C_{LC} + C_F} V$$

となる。そこで信号の印加の際に、この実効値の低下分をあらかじめ増幅しておく必要がある。

また上述の例で色フィルタ(32R)～(32B)は、有機のフィルタをマスク等を用いて回路と同

様のプロセスで形成するか、貼合せにて形成することができる。あるいは垂直電極 (30) の表面を直接処理して干渉フィルタにて形成することもできる。この干渉フィルタの場合に上述の実効値の低下に対する考慮は不要である。さらに垂直電極の表面は白色散乱面あるいは鏡面のいずれでもよい。

また上述の例において、反射形の液晶ディスプレイ装置でカラー表示が実現され、反射形の場合にはシリコン基板を用いることができる。そのためデバイスとしての信頼性が極めて高くなる。またデバイス中への光の漏れ込みを防ぐことができ、光によるキャリアの発生等が無視できるほど小さくなる。

また上述の例では赤、緑、青の3色の表示を行うようにしたが、これは赤と緑、あるいは赤と青の2色の表示でもよい。これによっても色相の表示は可能である。さらに色相をより正確に表示するために、任意の4色以上の表示を行うこともできる。

FROM:SEL

公開実用 昭和59-

194783

また下側電極は、シリコンMOS、シリコンオンサファイア、アモルファスシリコン、ポリシリコン等のTFTアレー、有機半導体等のアクティブ・マトリクス・アレーの代、電圧平均化法等による多重及び単純マトリクス駆動の装置に適用できる。

考案の効果

本考案によれば、簡単な構成で良好なカラー表示を行うことができるようになった。

図面の簡単な説明

第1図は従来の装置の説明のための図、第2図は本考案の一例の構成図、第3図～第5図はその説明のための図である。

(30) は画素電極、(32R)、(32G)、(32B) は色フィルタ、(35) は液晶、(37) はターゲット電極である。

代理人 伊 藤 貞

同 松 隈 秀 盛

FROM: SEL

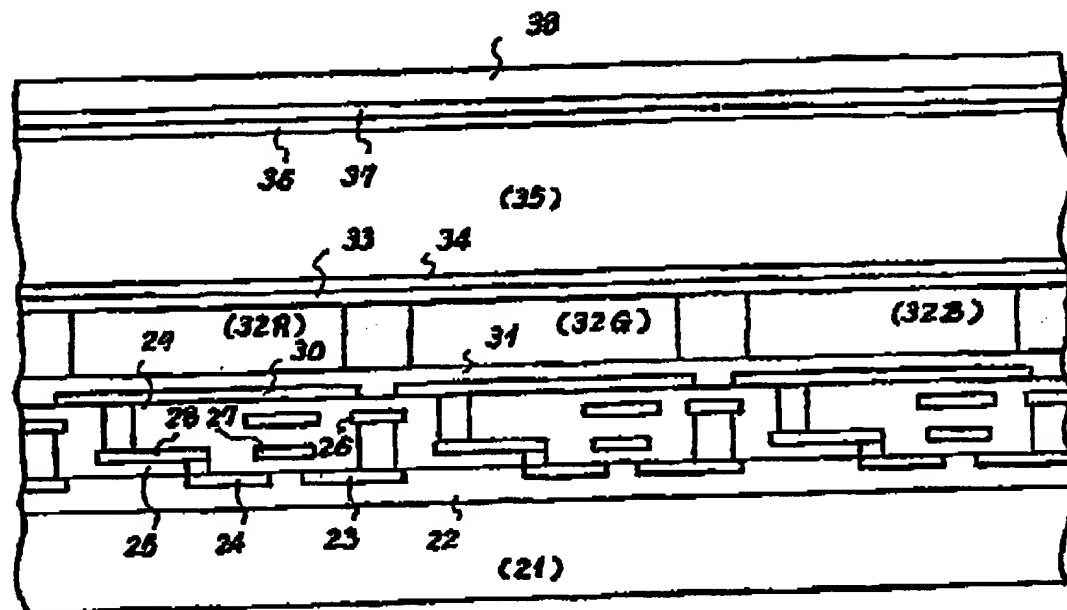
公開実用 昭和59—

194783

第 1 図



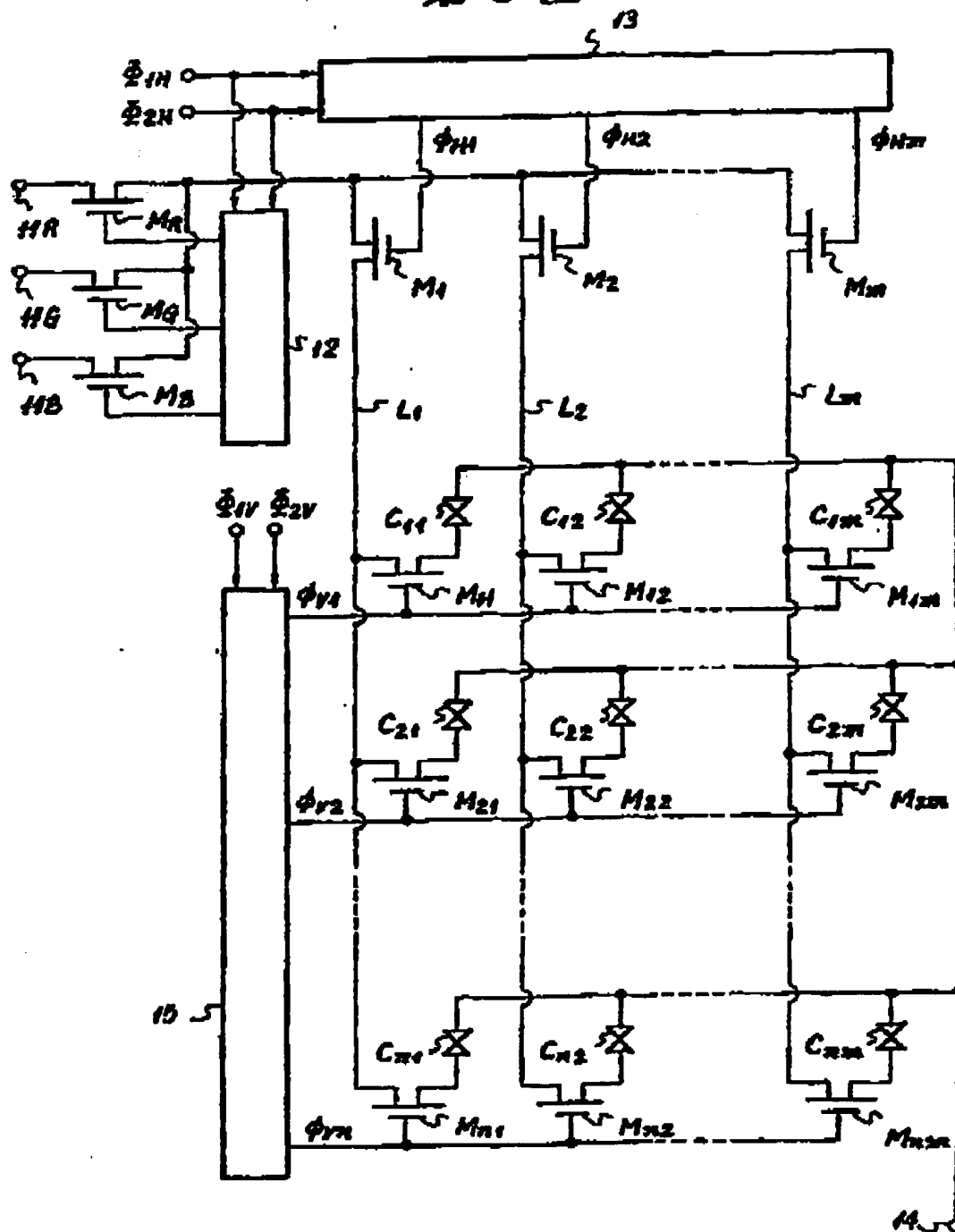
第 2 図



303

実開 50-194783

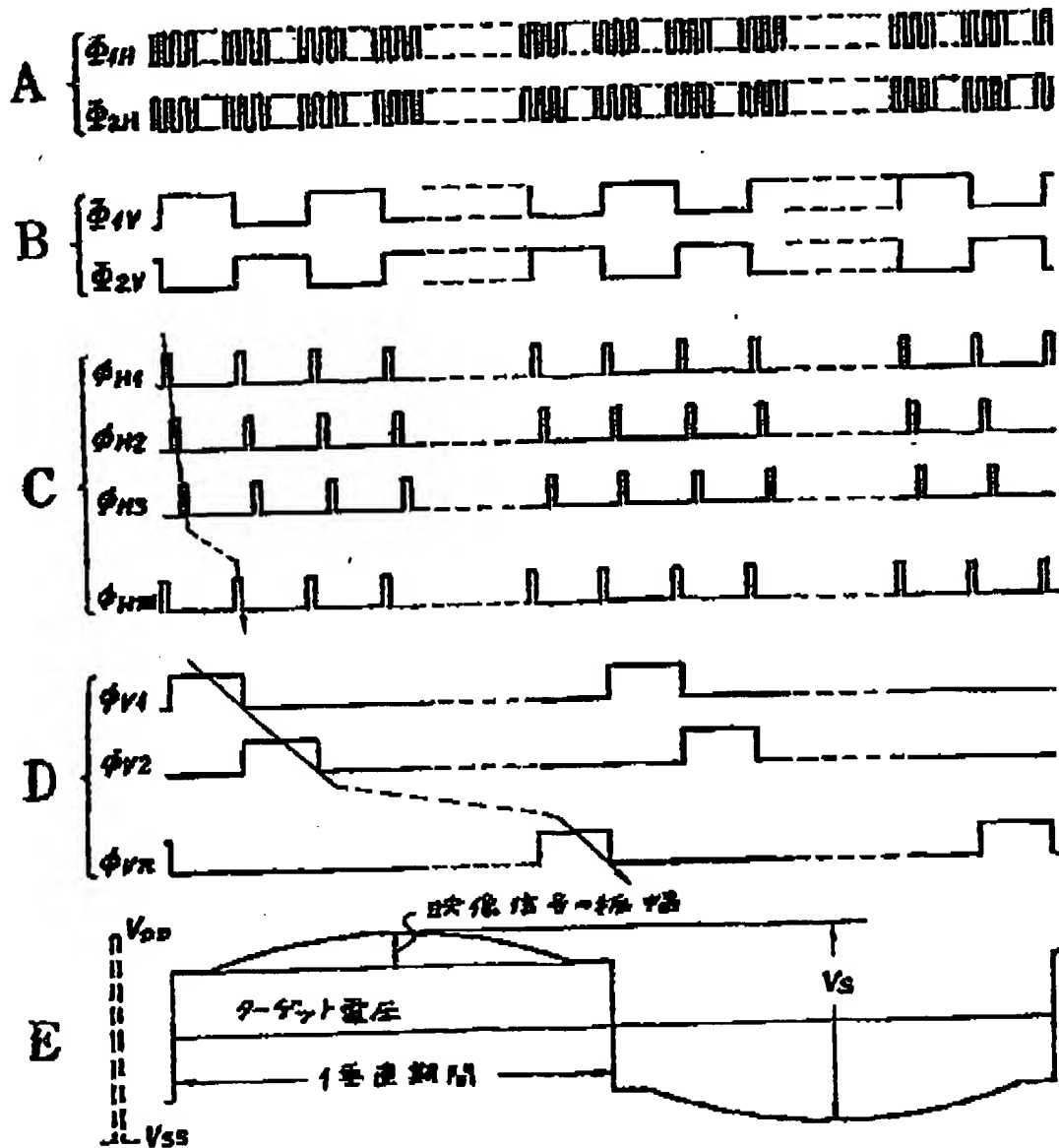
第 3 図



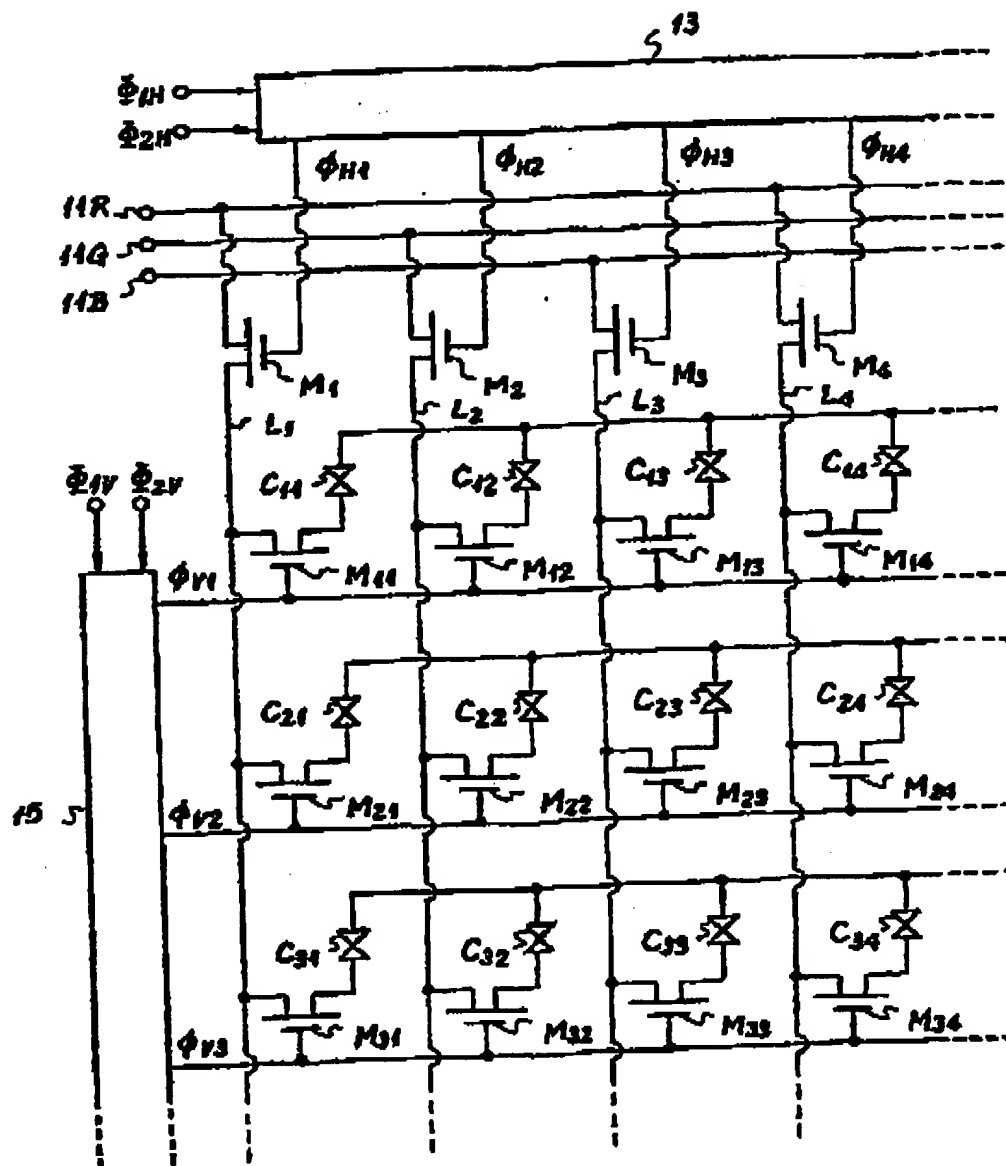
公開実用 昭和59—

194783

第 4 図



第 5 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.